



PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE
ESCUELA DE INGENIERÍA
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
IEE2783 – LABORATORIO DE SISTEMAS DIGITALES

Proyecto

Descripción

El proyecto del curso consiste en la elaboración de una experiencia de laboratorio compleja que requiera de conocimientos elevados de Verilog y del uso del FPGA y sus periféricos (monitor, teclado, *mouse*, etc.). El proyecto a realizar debe ser inventado por los alumnos, quienes propondrán ideas que deben ser aprobadas por el profesor. Tómese la libertad de consultar al profesor y a los ayudantes su opinión respecto a ideas de proyecto que vayan surgiendo. Dado que la concepción del proyecto es parte de las actividades del laboratorio, no espere que el profesor o los ayudantes le inventen un proyecto.

Evaluación

El proyecto será evaluado en dos etapas. La primera etapa (22 de Septiembre via SIDING) consiste en un breve documento digital (dos planas máximo) en el que cada grupo debe proponer dos propuestas de proyecto, entregando suficientes detalles de la implementación como para que el profesor y los ayudantes puedan evaluar la complejidad. La segunda etapa consiste en la presentación final del proyecto (10 de Noviembre).

El funcionamiento de cada proyecto será evaluado por el profesor y los ayudantes, quienes considerarán la complejidad del proyecto y la calidad de la implementación. Además, los integrantes de cada grupo deben contestar las preguntas que se les hagan durante la demostración.

La nota del proyecto se distribuye como:

- Informe etapa 1: 25 %.
- Funcionamiento: 65 %
- Preguntas hechas durante la demostración: 10 %.

Competencia

Al mejor proyecto del curso se le premiará con nota final 7.0 en el curso, siempre y cuando se considere que el proyecto es de alta complejidad y su funcionamiento sea perfecto. Se admiten empates, por ende, mas de un proyecto premiado. El jurado estará compuesto por el profesor, los ayudantes y algún invitado.